

JP4236378

Publication Title:

Method and apparatus for testing a VLSI device.

Abstract:

A method and apparatus for testing a VLSI device 10 are described. The invention uses the idea that the internal logic of the VLSI device can be broken down into linked sections or cones. Thus, after completing the test of all the logic gates 110, 120 in one cone of the device 10, it will not be necessary to retest those gates 120 which overlap into other cones. Hence, some of the bit values placed on the input latches 30 to the device 10 are irrelevant to the test. The apparatus incorporates a Linear Feedback Shift Register (300) which is fed by a seed to produce a bit pattern to test the VLSI device (10). The seed is so chosen that the LFSR generates the required bit values on the input latches 30 which are required for the particular test being carried out and pseudo-random values for all other latches.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-236378

(43)公開日 平成4年(1992)8月25日

(51)Int.Cl.⁵
G 0 1 R 31/318

識別記号
G 0 1 R 31/318

6912-2G

F I

G 0 1 R 31/28

技術表示箇所
A

審査請求 有 請求項の数12(全 7 頁)

(21)出願番号 特願平3-133342

(22)出願日 平成3年(1991)5月10日

(31)優先権主張番号 90117819.4

(32)優先日 1990年9月15日

(33)優先権主張国 ドイツ(DE)

(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレイション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク(番地なし)

(72)発明者 ウルリツヒ・デイボルト
ドイツ連邦共和国 7033 ヘーレンベルク
ゲンシュベルクリング 74

(74)代理人 弁理士 順宮 孝一(外4名)

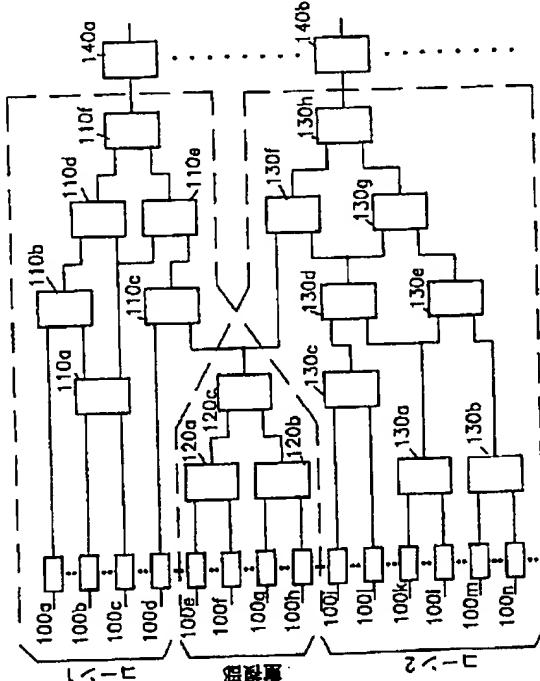
最終頁に続く

(54)【発明の名称】論理装置を試験する方法および装置

(57)【要約】(修正有)

【目的】VLSI装置を試験するための方法および装置を提供する。

【構成】VLSI装置の内部論理回路は関連した部分すなわちコーンに分解できるというアイデアを用いる。従って、装置の一つのコーンにおけるすべての論理ゲート110, 120の試験を完了すれば、他のコーンと重複するゲート120の再試験は不要である。そのため、装置への入力ラッチに設定されるビット値のいくつかは試験に無関係である。装置は線形フィードバック・シフトレジスタ(LFSR)を備え、これには、VLSI装置を試験するためのビットパターンを生成するシードが入力される。このシードは、特定の試験を行うために必要なビット値を入力ラッチに対してLFSRが発生し、そして他のすべてのラッチに対して疑似ランダム値を発生するように選択される。



1

2

【特許請求の範囲】

【請求項1】論理装置(10)を試験する装置であつて、論理装置(10)を試験するためのテストパターンを発生する手段(40)と、論理装置(10)に初期テストパターンをロードする装置入力(30)と、論理装置(10)からの結果を出力する装置出力(20)と、論理装置からの出力結果を期待される結果と比較する手段(50)と、前記論理装置の試験が終了したかどうかを示す信号を出力する手段とを備えた試験装置において、テストパターンを発生する前記手段(40)は、前記装置入力(30)のあるものに対して特定のビット値を生成し、前記装置入力(30)の他のものに対して疑似ランダムビット値を生成することを特徴とする論理装置(10)を試験する試験装置。

【請求項2】テストパターンを発生するための前記手段(40)は、線形フィードバック・シフトレジスタ(300)を備えたことを特徴とする請求項1記載の論理装置(10)を試験する試験装置。

【請求項3】予め計算された初期値(シード)が前記線形フィードバック・シフトレジスタ(300)に入力されることを特徴とする請求項2記載の論理装置を試験する試験装置。

【請求項4】前記装置入力(30)は共に接続されてシフトレジスタ・スキャンバスを形成し、このシフトレジスタ・スキャンバスはさらに、前記論理装置(10)を試験するためのテストパターンを発生する前記手段(40)に接続されていることを特徴とする請求項1記載の論理装置(10)を試験する試験装置。

【請求項5】前記装置出力(20)は共に接続されてシフトレジスタ・スキャンバスを形成し、このシフトレジスタ・スキャンバスはさらに、論理装置からの出力結果を期待される結果と比較するための手段(50)に接続されていることを特徴とする請求項1記載の論理装置(10)を試験する試験装置。

【請求項6】論理装置からの出力結果を期待される結果と比較するための手段(50)は、比較を行う前にデータを圧縮する手段を含むことを特徴とする請求項5記載の論理装置(10)を試験する試験装置。

【請求項7】前記装置出力(20)および論理装置からの出力結果を期待される結果と比較するための手段(50)は、共にマルチ入力シグナチャ・レジスタを形成することを特徴とする請求項6記載の論理装置(10)を試験する試験装置。

【請求項8】前記装置は、前記論理装置(10)が取り付けられる論理装置試験装置の一部であることを特徴とする請求項1～7のいずれかに記載の論理装置(10)を試験する試験装置。

【請求項9】前記装置は、前記論理装置(10)が構成されるチップに組み込まれ、前記論理装置(10)の自己試験のために用いられることを特徴とする請求項1～

10

20

30

40

50

7のいずれかに記載の論理装置(10)を試験する試験装置。

【請求項10】論理装置(10)を試験する方法であつて、テストパターンを発生し、前記論理装置(10)を通じてテストパターンをクロックに同期して伝送し、チップによって出力される結果を期待される結果と比較し、差が見つかったかどうかを示す信号を出力する試験方法において、テストパターンを発生する前記方法は、どの装置入力(30)が所望の論理ゲートに関連しているかを計算することを含み、前記装置入力(30)に所望のビット値を与えるためにテストパターンを計算することを特徴とする論理装置(10)を試験する試験方法。

【請求項11】前記テストパターンを発生するための前記方法は、所望のテストパターンを生成するために、線形フィードバック・シフトレジスタで用いるシードを発生することを含むことを特徴とする請求項10記載の論理装置(10)を試験する試験方法。

【請求項12】チップによって出力される結果を期待される結果と比較するための前記方法、および差が見つかったかどうかを示す信号を出力する前記方法は、出力結果を圧縮すること、および前記圧縮結果を、圧縮された前記期待される結果と比較することを含むことを特徴とする請求項10記載の論理装置(10)を試験する試験方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、大規模集積回路(VLSI)装置中で実施される複雑な組合せおよび順序の論理回路を試験する方法に関するものである。

【0002】

【従来の技術およびその課題】VLSI装置のどこかで誤りが発生すると、その影響は、装置の試験可能な出力に到達するまでに多数のゲートを伝播する。レベル・センシティブ・スキャン・デザイン(LSSD)規則は、このような伝播により引き起こされるテストの複雑さを除去するために考案されたものである。この規則は、第14回デザイン・オートメーション・カンファレンスのプロシーディングのページ462-468に“LSI試験可能性のための論理設計構造”と題する論文の中に、E. B. Eichelbergerと、T. W. Williamsにより始めて示されたものであり、それによれば論理回路はクロック構造とされ、また、論理回路のすべての入力および出力を共に接続して一連のシフトレジスタ・スキャンバスが形成される。図1にこのような原理を用いて構成した簡単なテストを示す。テストユニット40は、テストパターン・データを格納するためのメモリ42と、被試験装置の応答をシミュレートするための手段44と、被試験装置にテストパターンを供給するための手段46とを備えている。ユニット40で發

生される試験信号は從って被試験装置10に、シフトレジスタを形成するために共に接続された装置の入力30を用いて与えられる。入力値は、図中の点線で示される接続を用いてユニット40からシフトレジスタを通じてクロックに同期して入力される。入力値をクロックに同期して被試験論理回路15を通過させることによって試験が行われた後、結果は、シフトレジスタを形成するためにやはり共に接続された出力ラッチ20に現れる。これらの出力値はクロックに同期してシフトレジスタからコンパレータ50に出力される。このコンパレータは、得られた結果をシミュレーションにより期待される結果と比較し、比較の結果、差があった場合には、被試験装置10における誤りの存在を示す信号を出力する。

【0003】論理テストパターンを発生するための従来の方法は、“確定格納パターン試験”(D S P T)として知られている。この方法では、確定したアルゴリズムがパターンを生成するために用いられ、このパターンはスタッツ・アット誤り(すなわち、ゲートがその出力を入力に応答して変化させないという誤り。ただし、検出されるのはこの誤りに限定されるものではない。)を含む特定の論理誤りの検出を保証するものである。各テストパターンおよびそれに対する期待される出力応答は、信号値の圧縮されないベクトルとしてテストの中に格納されるので、大容量のメモリが必要となる。回路が複雑になるほど、回路中のゲートの数が増加するとスタッツ・アット誤りは劇的に多くなることがすでに示されている。そのことは、回路を試験するために必要なテストパターンの数も大幅に増加することを暗に意味している。従って、回路を試験するのに必要な時間が長くなり、すべての試験ベクトルを格納するためのメモリの容量も増加する。

【0004】テストパターンを発生するために必要な時間を短縮し、発生されたパターンを格納するためのメモリの容量を減らすために、いわゆる自己試験方法が開発された。この方法では、疑似ランダムパターン発生器、および装置に実際に組み込まれた応答圧縮構造を用いる。このような構造を用い、試験に必要なエレメントを直接、被試験装置に配置することにより、テストパターンを発生するために必要なコンピュータの時間を削減することができる。この方法により、極めて多数のテストパターンを、リーズナブルな時間で装置に与えることが可能となる。Konemann, Mucha、ならびにZweihoffによる2つの論文、“組み込み論理ブロック観察技術”(1979, IEEEテスト・カンファランス、ページ37-40, Cherry Hill, N.J, 1979年10月)および“複雑なデジタル集積回路のための組み込み試験”(IEEE 固体回路ジャーナル、SC-15巻、3号、ページ315-319, 1980年6月)には、線形帰還シフトレジスタ(L F S R)と呼ばれるシフトレジスタ・スキャンバス

の改良について開示されており、それは入力信号発生器および/または出力データ圧縮回路として用いることができよう。

【0005】特別の自己試験アーキテクチャーがS T U M P S法として知られている。S T U M P Sは、M I S R(マルチ入力シグナチャレジスタ)および並列S R S G(シフトレジスタ、シーケンス発生器)を用いた自己試験の略である。この方法の基本原理はよく知られており、いくつかのドキュメントに示されている(例えば、欧州特許第108, 256号明細書、米国特許第519, 078号明細書、米国特許第713, 605号明細書、米国特許第4, 910, 735号明細書、あるいはB. I. DERBI SOLGLU “疑似ランダム試験のためのスキャンバス・アーキテクチャ”(IEEEコンピュータの設計と試験、1989年8月、ページ32-48))。S T U M P Sによって試験データの格納容量を大幅に低減できるが、試験の質は高くない。B A S S E T他の論文“高密度論理コンポーネントのローコスト試験”(IEEEコンピュータの設計と試験、1990年4月、ページ15-27)には、S T U M P Sでは、チップの代表的断面において、90%程度の誤り検出しか期待できないと報告されている。この論文にはまた、S T U M P SとD P S Tとの組み合せによって、誤り検出率を高めることができると結論されている。しかし、最後の5~10%の誤り(いわゆる自己試験エスケープ)を検出するために、経験的には、D P S Tテストパターン全体の50~70%のテストパターンを発生しなければならない。

【0006】これにかわってB A S S E T他は、重み付けランダムパターン試験(W R P T)を用いている。そこでは、L F S Rパターン発生器の設計は、各テストパターンの入力ビットに対する論理“1”および論理“0”的分布が可変であるように変更されている。この方法では、必要に応じて、1または0のいずれかの確率をより大きくするよう、ラッチの入力に選択的にバイアスがかけられる。誤り検出率はS T U M P Sより大きく改善されるが、テストパターンを発生するために実質的に一層、複雑なハードウェアが必要となる。W A I C U K A U S K Iによる“重み付けランダム・テストパターンを発生するための方法”と題する論文(I B M研究開発ジャーナル、第33巻、2号、1989年3月、ページ149-161)には、様々なW R P Tパターンを発生する方法が示されている。しかし、得られた結果によれば、誤り検出率は94-99%であり、そのため、全誤りの99.9%を検出するためには、格納されたテストパターンの50%程度を用いて、確定パターン試験を行わなければならない。

【0007】従来の技術で、入力パターンを発生し、同時に出力される結果を圧縮するためにL F S R回路を用いることを開示したものはない。

【0008】

【課題を解決するための手段】本発明の目的は、装置の論理を試験するために用いることができる方法およびテストパターン発生器を与えることである。テストパターンを発生するために用いられる手段は、複雑なハードウェアも個々のテストパターンを格納するための大規模のメモリスペースも必要としない。

【0009】テストパターン発生器は直接、チップ上に組み込むことができ、また一つの装置として組み立てることもできる。チップ上に組み込まれた場合には、素子の自己試験に用いることができ、一層有用である。

【0010】本発明はこのような目的を達成するため、簡単なLFSRを用い、その出力は被試験装置の入力を形成する一連のシフトレジスタのスキャンバスに入力する。LFSRには最初、一連の初期値、すなわちシードが入力され、そのシードにより被試験装置の特定の入力ラッチに必要なデータ値がクロックに同期して入力される。論理装置のすべてのゲートが確実に試験されるようにするため、すべてのシードは小さいメモリに格納される。

【0011】

【実施例】図2は被試験装置の内部論理回路を示す図であり、これによって発明の背後の基本原理を理解できる。装置は、入力ラッチ100a～nと出力ラッチ140a, 140bとの間に接続された多数の論理ゲート110a～f, 120a～c, 130a～hを備えている。なお、これは単に説明のための一例であり、実際の被試験装置は、さらに多くの入力ポートおよび出力ポート、ならびにこれらのポートの間に接続されたさらに多くの論理ゲートを備えている。入力ラッチおよび出力ラッチはそれぞれ、共に接続されて図の点線で示すスキャンバスを形成している。ここで、装置の論理回路における入力ラッチ100から出力ラッチ140に至る経路*

*について見ると、入力ラッチ100a～100hの値が140aに出力される応答に影響することが分かる。同時に、入力ラッチ100e～100nの値は出力140bにおける結果に影響する。このことは、ラッチ100a～100hから出力ラッチ140aに至るものと、入力ラッチ100e～100nから出力ラッチ140bに至る2つのコーンを定義できることを意味する。これらのコーンは、図中、破線によって示されている。また、2つのコーンはオーバーラップし、論理ゲート120a～cは両方のコーンに入っている。このことは、コーン1のすべての論理ゲートが試験され、誤りがなかった場合、原理的には、コーン1に含まれないコーン2のゲートのみを試験すればよく、それによって回路（すなわち、ゲート130a～h）の試験は完了することを意味する。さらに、コーン2を試験するとき、試験された論理ゲート120cの出力は、試験されていない論理ゲート130fの入力に接続されているので、ラッチ100e～hに設定されるビットの値を無視することはできない。しかし、ラッチ100a～dに設定されたビットの値は、コーン2のラッチの試験には関係がない。このことは、論理ゲートを試験するために、3種類の異なるタイプのビットが定義でき、ラッチ100a～nに設定されるということを意味する。すなわち、試験関連ビット位置（表1にはRで示す）であり、コーンの試験のために特定の値を取らなければならないものと、サポートネット、ビット位置（表1にはAで示す）であり、コーンの試験のために複数の特定値のうちの一つをとらなければならないものと、無関係ビット位置（表1にはXで示す）であり、コーンの試験には重要でないものの3種類である。表1に、図2の論理ネットワークを完全に試験するために必要な3つの異なる試験手順を示す。

【0012】

表1

| ラッチ100への ネットワーク入力 | コーン1 a b c d | 重複部 e f g h | コーン2 i j k l m n |
|----------------------|---------------------------------------------|----------------|---------------------|
| 手順 A) : | コーン1およびコーン2に共通にネットワークを試験する AAAA | RRRR | AAAAAA |
| 手順 B) : | コーン1およびコーン2のネットワークを試験する RRRR | AAAA | RRRRRR |
| 手順 C) : | コーン2のネットワークを試験する XXXX | AAAA | RRRRRR |

フラグの意味：

R : 試験関連ビット位置 - 選択不可

A : サポートネット入力 - 選択可

X : 無関係ビット位置 - 任意の値

手順Aでは、ラッチ100e～hの値のみが、コーン重50複部の論理ゲート120a～cの試験のために重要であ

る。試験手順においては、1と0のすべての組み合せがラッチ100e～hに設定され、論理ゲート120a～cはすべての条件のもとで試験される。ラッチ100a～dに格納されるビットとラッチ100i～nに格納されるビットとは、出力ゲート140a, 140bで意味のある出力が得られなければならないという点でのみ関係がある。手順Bでは、個々のコーンのゲートが試験されるが、重複部のゲートは試験されない（すなわち、ゲート110a～fおよび130a～hは試験され、ゲート120a～cは試験されない）。このことは、ラッチ100a～d, 100i～nに設定されたビットの値は、試験に関連していて、1と0とのすべての可能な組み合せを通して循環されるが、ラッチ100e～hはサポートネット入力であることを意味する。最後に手順Cでは、コーン2の論理ゲート130a～hだけが試験される。ラッチ100j～nはこの場合にも試験に関連しており、すべての可能な組み合せが試験されるが、ラッチ100f～hのビットはサポートネットビットである。しかし、この場合にはラッチ100a～dのビットの値は試験結果に無関係である。従って、装置の論理ゲートの試験に用いられる大多数のテストパターンは、冗長であることが分かる。なぜなら、それらは回路の誤りに関して何も新しい情報を生まないからである。

【0013】試験関連ビットのアイデアは、LFSRにおいて論理回路を試験するためのテストパターンを発生させるために利用できる。これをどのように行うかを示すため、まず最初にLFSRを用いたパターン発生法についてレビューする。図3に簡略化したLFSR200を示す。このLFSRは、スキャンバス210をクロックに同期して伝送される出力205を生成する3つのラッチ200a～cを備えている。ラッチ200aの出力はXORゲート202およびラッチ200bの両方に接続されている。ラッチ200cの出力は、出力205に（従って、スキャンバス210に）、そしてXORゲート202にも接続されている。データがLFSRをクロックに同期して伝送されるとき（200aの値が200bに配置され、200bの値が200cに配置され、200cの値がスキャンバスに伝送されることを意味する）、200aの新しい値は、200aの以前の値と200cの以前の値とに対するXOR操作の結果となる。LFSR200のラッチ200a～cに対して適切な初期値を選択することによって、スキャンバスにおいて可能な範囲でいかなるビットの組み合せも発生できる。図3に、LFSR200にロードされた初期値100がいかにスキャンバス210において一連の0と1を発生するかを示す。

【0014】ここで、図3のような疑似ランダム・テストパターンを発生する代りに、スキャンバスのラッチ210のいくつかに格納されるビットが固定であるテストパターンを発生させるとする。これらのビットは上述し

た試験関連ビット位置を表す。図4に、ラッチ310c, 310eに格納されるビットがそれぞれ1および0にセットされるシミュレーション・スキャンバス310を示す。他のラッチに格納されるビットの値は無関係である。計算のため、LFSR300のラッチ300a～cの値が任意にそれぞれa, b, cとセットされたすると、ビットをシミュレーション・スキャンバス310からLFSR300にクロックパックさせてLFSR300に対する最初のシード値を得ることができ、その値を後で、必要な値を持つ試験関連ビット位置によって必要なテストパターンを発生させるために用いることができる。シミュレーションとして行うこのクロックパックの手順を図4に種々のステップにより示す。なお、クロックパックは実際の装置で起こるものではない。

【0015】最初のステップでは、ラッチ310b～gに格納された値はすべて1ラッチ分左にシフトされる。ラッチ310gに以前格納されていた値は現在はラッチ310fに格納されており、ラッチ310fの値は今は310eに格納されている。他のラッチについても同様である。ラッチ310aに格納されていた値は試験に関連しないビットであるため、それは無視され、従って、ラッチ300cは、ラッチ300a, 300bに以前格納されていた値に対するゲート302によるXOR操作の結果を受け取ることになる。実際、この段階でスキャンバス310からLFSR300には試験関連ビット値はクロックパックされないので、ラッチ300cに格納された値は純粹に任意であり、簡単のため、それを“a”と定義する。次のステップでは、ラッチ310b～gに格納された値は再び1ラッチ分左に移動される。ラッチ310aに格納された値は今は試験関連ビットであり、その値は1である。それはLFSR300のラッチ300cに送られる。このステップでラッチ300cに格納されるべき値は、XORゲート302で行われるXOR操作の結果であり、すなわちb+cである。従って、このXOR操作の結果は1であると定義できる。ステップ3およびステップ4では、ラッチ310aに格納された値は、試験に関連しないビットであり、そのため、ラッチ300cに格納された値はいなかる値もとの必要がなく、従ってその値はラッチ300a, 300bに格納された値に対するXOR操作の結果である。ステップ5ではしかし、ラッチ300cにはラッチ310aからビット0が入力される。このことは、ラッチ300aは以前は値1を格納し、ラッチ300bは値a+bを格納していたので、XOR操作の結果を1+(a+c)に定義する。最後の2つの値は試験に関連しないビットであるが、シミュレーションはさらに2つのステップ、すなわちステップ6, 7と続く。しかし、これらのステップは、LFSRが完全なテストパターンを発生するとき、LFSRが、スキャンバス310のラッチ310a～gに対して既知の値のビットを生成すること、および

正しい位置に試験関連ビットを生成することを保証するために必要である。この操作の結果は最後のステップ7によって知ることができ、ラッチ310aは0を、ラッチ300bは値aを、ラッチ300cはa+1を格納しているはずである。aは値0または1をとるので、このことは2つのシード(001あるいは010)が必要なテストパターンを発生することを意味する。図5に、シードを010とした場合のテストパターンの発生を示す。

【0016】もちろん実際の試験では、スキャンバスが7つのラッチだけしか含まず、その2つの値だけが試験に関連し、従ってそれらの値が固定されているということはない。しかしLFSRの規模を拡大し、XORゲートに接続するためのフィードバック経路を適切に選ぶことによって、必要とするいかなるパターンも発生することが可能となる。LFSRに与えるシードだけを格納すればよいので、このテストパターン発生システムを実現するために必要なメモリの容量は、決められたすべてのパターンを直接格納する場合より、大幅に小さいものとなる。

【0017】以上説明したテストパターン発生器は、チップに直接組み込んで、装置の迅速な自己試験を行える

ようにしてもよく、また、試験装置に組み込んで、被試験装置をそれに取り付けるようにしてもよい。メモリのスペースをさらに減らし、試験処理を高速化するには、出力される試験結果を、J. L. CARTERによる論文“VLSI回路のための改良されたシグナチャ試験”(IBM技術開示公報、第26巻、3A号、1983年8月、ページ965-967)に示されているよく知られたマルチ入力シグナチャ・レジスタ(MISR)などの方法によってさらに圧縮すればよい。

【0018】

【発明の効果】本発明により、複雑なハードウェアも個々のテストパターンを格納するための大規模のメモリスペースも必要としない論理回路試験方法およびテストパターン発生器が得られる。

【図面の簡単な説明】

【図1】装置を試験する基本的な方法を示す図である。

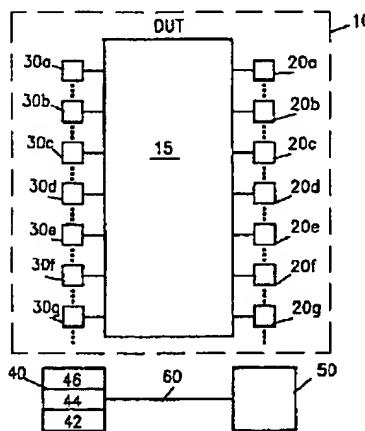
【図2】被試験装置の一例を示す図であり、入力ゲートと出力ゲートとの間に接続された論理ゲートを示す。

20 【図3】簡単な線形フィードバック・シフトレジスタを示す図である。

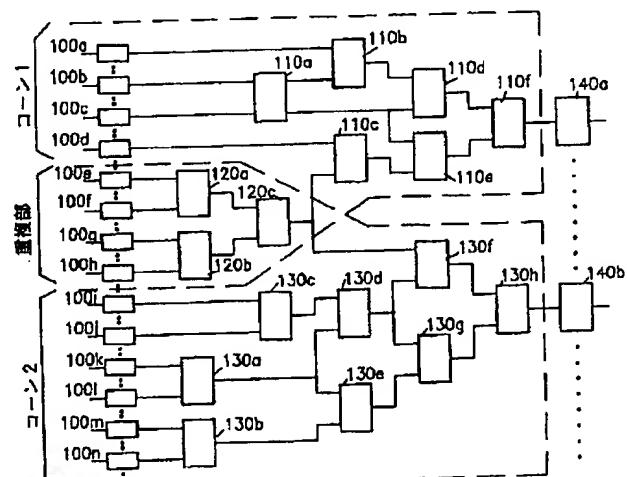
【図4】シードの発生の一例を示す図である。

【図5】シードの発生の一例を示す図である。

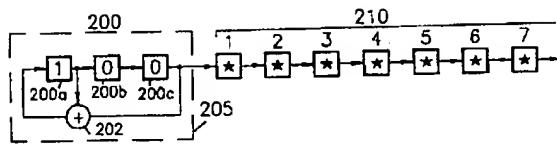
【図1】



【図2】

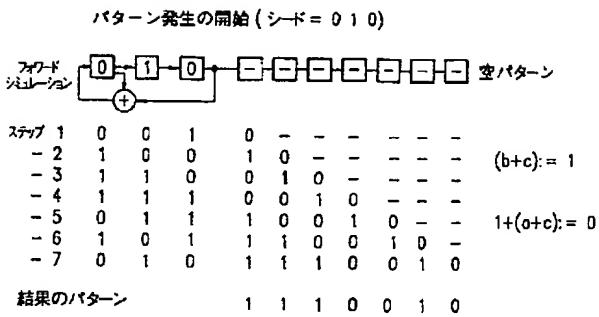


【図3】

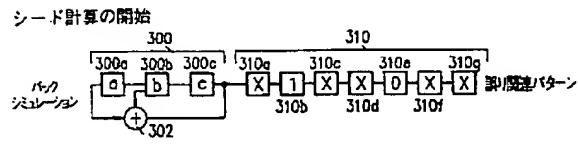


| | 200 | 210 | 7 |
|---|-----|-----|---|
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 |

【図5】



【図4】



| ステップ | 1 | b | c | a | 1 | x | x | 0 | x | x | - |
|------|-----|-----|-----|---|---|---|---|---|---|---|-----------|
| -2 | c | a | 1 | x | x | x | 0 | x | x | - | - |
| -3 | a | 1 | a+c | x | 0 | x | x | - | - | - | - |
| -4 | 1 | a+c | a+1 | 0 | x | x | - | - | - | - | - |
| -5 | 1 | a+1 | 0 | x | x | - | - | - | - | - | 1+(a+c)=0 |
| -6 | a+1 | 0 | a | x | - | - | - | - | - | - | - |
| -7 | 0 | a | a+1 | - | - | - | - | - | - | - | 空パターン |

シード計算の結果
シード 1 = 0 0 1 FOR a=0 x = 試験に通過しないビット
シード 2 = 0 1 0 a=1 1, 0 = 試験に通過したビット

フロントページの続き

(72)発明者 ヨアチム・リーグレル
ドイツ連邦共和国 7268 ゲチンゲン バ
インガルテンシユトラーセ 9
(72)発明者 ベテル・ロスト
ドイツ連邦共和国 7260 ガルブ イン
デン ルンケタイレン (番地なし)
(72)発明者 マンフレッド・シユミット
ドイツ連邦共和国 7036 シエーナイツヒ
ダーヘンヘウゼルベーク 37

(72)発明者 オット・トルライテル
ドイツ連邦共和国 7022 ラインヘルден
-エヒテルデインゲン フラインシュバツ
フアシユトラーセ 14
(72)発明者 ベテル・ペルベーゲン
ドイツ連邦共和国 7030 ベブリングен
ホーヘンシュタウヘン シュトラーセ 11
(72)発明者 ダウン・バイランド
ドイツ連邦共和国 7277 ピルトベルク
4 イン ハイネンテル 21
(72)発明者 デイーテル・ベンデル
ドイツ連邦共和国 7032 シンデルフイン
ゲン シエーネベルゲル ベーク 14